

Japanese Patent Laid-open Publication No. 2000-243785 A

Publication date : September 8, 2000

Applicant : ROHM CO LTD

Title : FABRICATION METHOD OF SEMICONDUCTOR CHIP

5

(57) [ABSTRACT OF THE DISCLOSURE]

[SOLVING MEANS]

When a function bump BF and a dummy bump BD are formed,  
as shown in Fig. 2(b), the surface of a surface protective  
10 film 17 is planarized, and then an opening 18 for partially  
exposing a surface of inner wiring 16 is formed in a region  
of the surface protective film 17 facing the inner wiring 16,  
as shown in Fig. 2(c). Subsequently, the inner wiring 16  
exposed via the opening 18 and the planarized surface protective  
15 film 17 are subjected to selective plating to form a function  
bump BF and a dummy bump BD, as shown in Fig. 2(e).

[EFFECT]

A function bump BF and a dummy bump BD can be formed  
so as to have substantially the same height.

20

[0003]

[PROBLEM TO BE SOLVED BY THE INVENTION]

As one of problems to be solved, there is a problem that,  
when a semiconductor device having a chip-on-chip structure  
25 where a semiconductor chip is stacked on a surface of another

semiconductor chip so that the former and the latter are joined to each other is sealed by resin, a portion of the semiconductor chip which is not supported by a bump is deformed due to pressure from the sealing resin, so that devices formed in the semiconductor chip are deteriorated.

[0004]

In view of the above, the present inventor has considered that a dummy bump is provided on a surface of a semiconductor chip such that it is not applied for electrically connecting the semiconductor chip and another semiconductor chip arranged so as to opposed to the former chip, pressure from the sealing resin is reduced by the dummy bump so that the semiconductor chip can be prevented from being deformed. In a case that a dummy bump is provided on a surface of a semiconductor chip, it is preferable that the dummy bump is formed of the same material as that of a bump (hereinafter, referred to as "a function bump") arranged so as to be opposed to the former bump. With such a constitution, the dummy bump and the function bump can be formed in the same step so that the number of fabrication steps for a semiconductor chip can be prevented from being increased.

[0007]

[MEANS FOR SOLVING PROBLEM AND EFFECT OF THE INVENTION]

According to the invention described in claim 1 for

achieving the above object, there is provided a fabrication method of a semiconductor chip which is joined to a surface of a solid and has an electrical connection portion for electrical connection to the solid and a dummy connection  
5 portion which is not applied for electrical connection to the solid on a surface opposed to the surface of a solid, comprising the steps of: arranging inner wiring on a semiconductor substrate serving as a base body of the semiconductor chip; stacking a surface protective film on the inner wiring;  
10 planarizing the surface protective film; forming an opening for exposing a portion of the inner wiring from the surface protective film; applying selective plating on the inner wiring exposed via the opening and the planarized surface protective film after the planarizing step for the surface protective  
15 film and the forming step for the opening are conducted; and forming an electrical connection portion connected to the inner wiring via the opening and a dummy connection portion isolated from the inner wiring.

[0008]

20 Incidentally, the surface of a solid may be a surface of another semiconductor chip or a surface of a wiring substrate. According to the present invention, after the surface of the surface protective film is planarized, the selective plating is performed for forming the electrical connection portion  
25 and the dummy connection portion, so that the electrical

connection portion and the dummy connection portion can be formed so as having substantially the same height.

[0009]

Accordingly, the electrical connection portion and the  
5 dummy connection portion can be connected to the surface of the solid in an excellent manner. Thereby, an excellent electrical connection to the surface of the solid can be achieved. Stress occurring on the semiconductor chip and the surface of the solid can be reduced by the dummy connection portion  
10 in a preferable manner. According to the invention described in claim 2, there is provided a fabrication method of a semiconductor chip which is joined to a surface of a solid and has an electrical connection portion for electrical connection to the solid and a dummy connection portion which  
15 is not applied for electrical connection to the solid on a surface opposed to the surface of a solid, comprising the steps of: arranging inner wiring on a semiconductor substrate; stacking a surface protective film on the inner wiring; polishing the surface protective film to planarize the same,  
20 thereby exposing a surface of the inner wiring from the surface protective film; and applying selective plating on the inner wiring exposed from the surface protective film and the planarized surface protective film to form an electrical connection portion connected to the surface of the inner wiring  
25 exposed from the surface protective film and a dummy connection

portion isolated from the inner wiring.



# 参考技術

ダミーバンパ  
(不溶、高圧)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-243785

(P2000-243785A)

(43) 公開日 平成12年9月8日 (2000.9.8)

(51) Int.Cl.

H01L 21/60

識別記号

311

F I

H01L 21/60

21/92

25/08

テ-71-ト\* (参考)

311S 5F044

604B

B

25/085

25/07

25/18

審査請求 未請求 請求項の数4 OL (全8頁)

(21) 出願番号

特願平11-40400

(22) 出願日

平成11年2月18日 (1999.2.18)

(71) 出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(72) 発明者 鮫島 克己

京都市右京区西院溝崎町21番地 ローム株式会社内

(74) 代理人 100087701

弁理士 稲岡 耕作 (外2名)

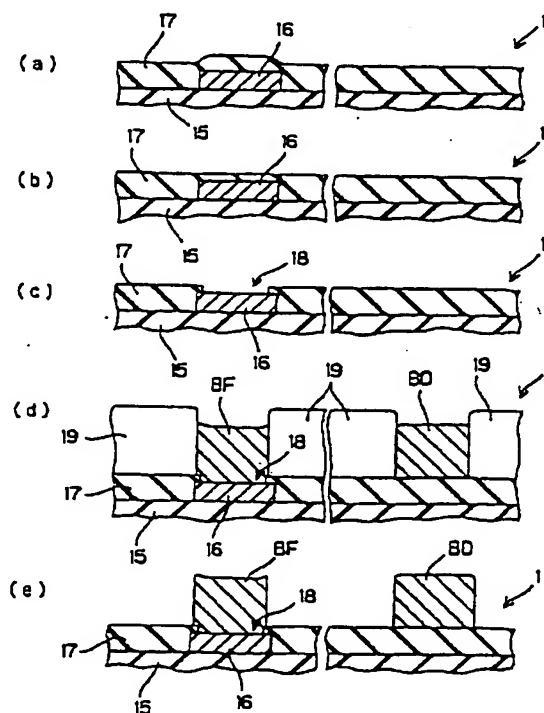
Fターム(参考) 5F044 KK01 QQ04 RR03

(54) 【発明の名称】 半導体チップの製造方法

(57) 【要約】

【解決手段】 機能バンパBFおよびダミーバンパBDの形成時には、図2(b)に示すように、表面保護膜17の表面が平坦化された後、図2(c)に示すように、表面保護膜17において内部配線16に対向する領域に、内部配線16の表面の一部を露出させるための開口部18が形成される。つづいて、開口部18を介して露出した内部配線16および平坦化された表面保護膜17上に選択的にメッキが施されることにより、図2(e)に示すように、機能バンパBFおよびダミーバンパBDが形成される。

【効果】 機能バンパBFおよびダミーバンパBDをほぼ同じ高さに形成することができる。



## 【特許請求の範囲】

【請求項1】固体表面に接合され、上記固体表面に対向する表面に上記固体との電気接続のための電気接続部および上記固体との電気接続に寄与しないダミー接続部を有する半導体チップの製造方法であって、

当該半導体チップの基体をなす半導体基板上に内部配線を配設する工程と、

上記内部配線上に表面保護膜を積層する工程と、

上記表面保護膜を平坦化する工程と、

上記表面保護膜に上記内部配線の一部を露出させるための開口部を形成する工程と、

上記表面保護膜の平坦化工程および上記開口部の形成工程の後に、上記開口部を介して露出した内部配線および平坦化された表面保護膜上に選択的にメッキを施すことにより、上記開口部を介して上記内部配線に接続された電気接続部および上記内部配線から絶縁されたダミー接続部を形成する工程とを含むことを特徴とする半導体チップの製造方法。

【請求項2】固体表面に接合され、上記固体表面に対向する表面に上記固体との電気接続のための電気接続部および上記固体との電気接続に寄与しないダミー接続部を有する半導体チップの製造方法であって、

半導体基板上に内部配線を配設する工程と、

上記内部配線上に表面保護膜を積層する工程と、

上記表面保護膜を研磨して平坦化することにより、上記内部配線の表面を上記表面保護膜から露出させる工程と、

上記表面保護膜から露出した内部配線および平坦化された上記表面保護膜上に選択的にメッキを施すことにより、上記表面保護膜から露出した内部配線の表面に接続された電気接続部および上記内部配線から絶縁されたダミー接続部を形成する工程とを含むことを特徴とする半導体チップの製造方法。

【請求項3】固体表面に接合され、上記固体表面に対向する表面に上記固体との電気接続のための電気接続部および上記固体との電気接続に寄与しないダミー接続部を有する半導体チップの製造方法であって、

半導体基板上に内部配線を配設する工程と、

上記内部配線上に表面保護膜を積層する工程と、

上記表面保護膜を平坦化する工程と、

平坦化された表面保護膜に凹部および上記内部配線の一部を露出させるための開口部を形成する工程と、

上記凹部および開口部が形成された表面保護膜上に金属膜を積層する工程と、

上記凹部および開口部外に積層された金属膜を除去することにより、上記凹部および開口部内に、それぞれ上記内部配線から絶縁されたダミー接続部および上記内部配線に接続された電気接続部を形成する工程とを含むことを特徴とする半導体チップの製造方法。

【請求項4】上記ダミー接続部および電気接続部を形成

する工程は、上記金属膜の表面を化学的機械的研磨法により研磨する工程を含み、

上記化学的機械的研磨法により研磨する工程は、上記表面保護膜の表面と上記開口部および凹部内の金属膜の表面とがほぼ面一になるまで続けられることを特徴とする請求項3記載の半導体チップの製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、たとえば、半導体チップの表面に他の半導体チップを重ね合わせて接合するチップ・オン・チップ構造や半導体チップの表面をプリント配線基板に対向させて接合するフリップ・チップ・ボンディング構造に適用される半導体チップの製造方法に関する。

【0002】

【従来の技術】一対の半導体チップを対向させ、これらをバンパによって互いに電気接続するチップ・オン・チップ構造の半導体装置が従来から提案されているが、実現に際して解決すべき問題が多く残されている。

【0003】

【発明が解決しようとする課題】解決すべき問題の1つに、半導体チップの表面に他の半導体チップを重ね合わせて接合したチップ・オン・チップ構造の半導体装置を樹脂封止すると、封止樹脂からの圧力により、バンパによって支持されていない部分において、半導体チップが変形し、半導体チップに形成された素子の特性が劣化するといった問題がある。

【0004】そこで、本願発明者は、半導体チップの表面に、対向配置される他の半導体チップとの間の電気接続に寄与しないダミーバンパを設け、このダミーバンパによって封止樹脂から受ける圧力を緩和することにより、半導体チップの変形を防止できると考えた。半導体チップの表面にダミーバンパを設ける場合、このダミーバンパは、対向配置される他の半導体チップとの間を電気接続するためのバンパ（以下、「機能バンパ」という。）と同じ材料で構成されるのが好ましい。こうすることにより、ダミーバンパと機能バンパとを同じ工程で形成することができ、半導体チップの製造工程数が増加するのを防止できる。

【0005】ところが、図8に示すように、配線91の一部を露出させるための開口部92が形成された表面保護膜93上に、バンパ材料を用いたメッキを選択的に施すことにより、開口部92および表面保護膜93上にそれぞれ機能バンパ94およびダミーバンパ95を形成すると、開口部92の周縁部分の表面保護膜93が他の部分よりも盛り上がっているために、機能バンパ94がダミーバンパ95よりも $\Delta h$ だけ高く形成されてしまう。機能バンパ94がダミーバンパ95よりも高く形成されていると、この半導体チップを他の半導体チップに接合させた時に、ダミーバンパ95と他の半導体チップとが

良好に接合されないため、ダミーパンプの機能を十分に発揮できない。

【0006】そこで、この発明の目的は、上述の技術的課題を解決し、電気接続部（機能パンプ）の高さとダミー接続部（ダミーパンプ）の高さとをほぼ一致させることができる半導体チップの製造方法を提供することである。

【0007】

【課題を解決するための手段および発明の効果】上記の目的を達成するための請求項1記載の発明は、固体表面に接合され、上記固体表面に対向する表面に上記固体との電気接続のための電気接続部および上記固体との電気接続に寄与しないダミー接続部を有する半導体チップの製造方法であって、当該半導体チップの基体をなす半導体基板上に内部配線を配設する工程と、上記内部配線上に表面保護膜を積層する工程と、上記表面保護膜を平坦化する工程と、上記表面保護膜に上記内部配線の一部を露出させるための開口部を形成する工程と、上記表面保護膜の平坦化工程および上記開口部の形成工程の後に、上記開口部を介して露出した内部配線および平坦化された表面保護膜上に選択的にメッキを施して、上記開口部を介して上記内部配線に接続された電気接続部および上記内部配線から絶縁されたダミー接続部を形成する工程を含むことを特徴とする半導体チップの製造方法である。

【0008】なお、上記固体表面は、他の半導体チップの表面であってもよいし、配線基板の表面であってもよい。この発明のように、表面保護膜の表面を平坦化した後に、電気接続部およびダミー接続部を形成するための選択的なメッキを行うことにより、電気接続部とダミー接続部とをほぼ同じ高さに形成することができる。

【0009】したがって、電気接続部およびダミー接続部を固体表面に良好に接続させることができる。これにより、固体表面との電気接続を良好に行うことができるうえ、当該半導体チップおよび固体表面に生じる応力を、ダミー接続部によって良好に緩和することができる。請求項2記載の発明は、固体表面に接合され、上記固体表面に対向する表面に上記固体との電気接続のための電気接続部および上記固体との電気接続に寄与しないダミー接続部を有する半導体チップの製造方法であって、半導体基板上に内部配線を配設する工程と、上記内部配線上に表面保護膜を積層する工程と、上記表面保護膜を研磨して平坦化することにより、上記内部配線の表面を上記表面保護膜から露出させる工程と、上記表面保護膜から露出した内部配線および平坦化された上記表面保護膜上に選択的にメッキを施して、上記表面保護膜から露出した内部配線の表面に接続された電気接続部および上記内部配線から絶縁されたダミー接続部を形成する工程を含むことを特徴とする半導体チップの製造方法である。

【0010】この発明のように、表面保護膜を研磨することにより内部配線を露出させた後に、電気接続部およびダミー接続部を形成するための選択的なメッキを行うことにより、電気接続部とダミー接続部とをほぼ同じ高さに形成することができる。したがって、請求項1の発明と同様に、電気接続部およびダミー接続部を固体表面に良好に接続させることができる。これにより、固体表面との電気接続を良好に行うことができるうえ、当該半導体チップおよび固体表面に生じる応力を、ダミー接続部によって良好に緩和することができる。

【0011】なお、上記表面保護膜を研磨して平坦化する工程は、上記表面保護膜の表面と上記表面保護膜から露出した内部配線の表面とがほぼ面一になるまで続けられることが好ましい。請求項3記載の発明は、固体表面に接合され、上記固体表面に対向する表面に上記固体との電気接続のための電気接続部および上記固体との電気接続に寄与しないダミー接続部を有する半導体チップの製造方法であって、半導体基板上に内部配線を配設する工程と、上記内部配線上に表面保護膜を積層する工程と、上記表面保護膜を平坦化する工程と、平坦化された表面保護膜に凹部および上記内部配線の一部を露出させるための開口部を形成する工程と、上記凹部および開口部が形成された表面保護膜上に金属膜を積層する工程と、上記凹部および開口部外に積層された金属膜を除去して、上記凹部および開口部内に、それぞれ上記内部配線から絶縁されたダミー接続部および上記内部配線に接続された電気接続部を形成する工程を含むことを特徴とする半導体チップの製造方法である。

【0012】なお、請求項4のように、上記ダミー接続部および電気接続部を形成する工程は、上記金属膜の表面を化学的機械的研磨法により研磨する工程を含み、上記化学的機械的研磨法により研磨する工程は、上記表面保護膜の表面と上記開口部および凹部内の金属膜の表面とがほぼ面一になるまで続けられることが好ましい。この発明のように、平坦化された表面保護膜に凹部および開口部を形成し、この凹部および開口部が形成された表面保護膜上に金属膜を積層した後、凹部および開口部外に積層された金属膜を除去して、凹部および開口部内にそれぞれダミー接続部および電気接続部を形成することにより、電気接続部およびダミー接続部の表面を、表面保護膜の表面とほぼ面一に形成することができる。

【0013】したがって、この半導体チップを、たとえば機能パンプおよびダミーパンプを有する固体に接合させたときに、この半導体チップの電気接続部およびダミー接続部に、それぞれ固体に設けられた機能パンプおよびダミーパンプを良好に接合させることができる。これにより、この半導体チップと固体との電気接続を良好に行うことができるうえ、この半導体チップおよび固体に生じる応力を良好に緩和することができる。

【0014】



【発明の実施の形態】以下では、この発明の実施の形態を、添付図面を参照して詳細に説明する。図1は、この発明の一実施形態に係る半導体チップが適用された半導体装置の概略構成を示す図解的な断面図である。この半導体装置は、いわゆるチップ・オン・チップ構造を有しており、親チップ1の表面11に子チップ2を重ね合わせて接合した後、これらを樹脂封止してパッケージ3に納めることによって構成されている。

【0015】親チップ1は、たとえばシリコンチップからなっている。親チップ1の表面11は、半導体基板においてトランジスタなどの機能素子が形成された活性表面領域側の表面であり、最表面は、たとえば窒化シリコンで構成される表面保護膜で覆われている。この表面保護膜上には、外部接続用の複数のパッド12が、ほぼ矩形の平面形状を有する親チップ1の表面11の周縁付近に露出して配置されている。外部接続用パッド12は、ボンディングワイヤ13によってリードフレーム14に接続されている。

【0016】子チップ2は、たとえばシリコンチップからなっている。子チップ2の表面21は、半導体基板においてトランジスタなどの機能素子が形成された活性表面領域側の表面であり、最表面は、たとえば窒化シリコンで構成される表面保護膜で覆われている。子チップ2は、表面21を親チップ1の表面11に対向させた、いわゆるフェースダウン方式で親チップ1に接合されており、親チップ1との間に設けられた複数のバンパによって支持されている。具体的に説明すると、子チップ2の表面21には、複数の子側バンパB2が隆起して形成されており、親チップ1の表面11には、子側バンパB2に対応した位置にそれぞれ親側バンパB1が隆起して形成されている。そして、子チップ2は、子側バンパB2がそれぞれ対応する親側バンパB1に接続されることにより、親チップ1の上方に支持されている。

【0017】子側バンパB2には、子チップ2の内部配線に接続された機能バンパBFと、子チップ2の内部回路から絶縁されたダミーバンパBDとが含まれている。一方、親側バンパB1にも、親チップ1の内部配線に接続された機能バンパBFと、親チップ1の内部回路から絶縁されたダミーバンパBDとが含まれている。親チップ1の機能バンパBFと子チップ2の機能バンパBFとは、互いに対向して設けられており、この機能バンパBF同士が接続されることにより、親チップ1の内部配線と子チップ2の内部配線とが電気接続されている。これに対し、親チップ1のダミーバンパBDと子チップ2のダミーバンパBDとは、互いに対向して設けられており、このダミーバンパBD同士の接続は、親チップ1および子チップ2の内部回路間の電気接続には寄与していない。

【0018】図2は、親チップ1の要部の構成および製造工程を示す断面図である。親チップ1の基体をなす半

(特開2000-243785(P2000-243785)とを特徴。請求項3記載の半導体チップの6造方法。

導体基板(図示せず)上には、たとえば酸化シリコンで構成される層間絶縁膜15が形成されており、この層間絶縁膜15上に内部配線16が配設されている。層間絶縁膜15および内部配線16の表面は、表面保護膜17で覆われており、この表面保護膜17に形成された開口部18上に、耐酸化性の金属(たとえば金、プラチナ、銀、パラジウムまたはイリジウムなど)からなる電気接続部としての機能バンパBFが形成されている。一方、ダミー接続部としてのダミーバンパBDは、表面保護膜17上に、機能バンパBFと同じ材料を用いて形成されている。

【0019】機能バンパBFとダミーバンパBDとは、ほぼ同じ高さに形成されており、その製造工程において同時に形成することができる。すなわち、機能バンパBFおよびダミーバンパBDの形成時には、まず、図2(a)に示すように、内部配線16が配設された層間絶縁膜15上に、たとえば窒化シリコンで構成される表面保護膜17が積層される。この表面保護膜17の膜厚は、内部配線16の厚みよりも大きく設定されている。

【0020】次に、平坦化処理が行われることにより、図2(b)に示すように、表面保護膜17の表面が平坦化される。その後、図2(c)に示すように、フォトリソグラフィ技術により、表面保護膜17において内部配線16に対向する領域に、内部配線16の表面の一部を露出させるための開口部18が形成される。つづいて、開口部18が形成された表面保護膜17上に、図示しないシード膜が形成される。このシード膜は、たとえば、機能バンパBFおよびダミーバンパBDをAu(金)で構成する場合には、表面保護膜17上にスパッタ法でTiW(チタンタングステン)膜を形成し、そのTiW膜上にスパッタ法でAuを堆積させることにより形成されるとよい。

【0021】次いで、図2(d)に示すように、フォトリソグラフィ技術によって、シード膜上にレジストパターン19が選択的に形成された後、機能バンパBFおよびダミーバンパBDの材料を用いたメッキが行われることにより、開口部18上およびダミーバンパBDを形成すべき領域上にメッキ材料が堆積される。このとき、メッキ材料は開口部18およびダミーバンパBDを形成すべき領域上でほぼ一様に成長し、また、表面保護膜17の表面はHDP処理によって平坦化されているので、メッキ終了時には、開口部18上およびダミーバンパBDを形成すべき領域上に、ほぼ同じ高さにメッキ材料が堆積することになる。

【0022】そして、メッキ終了後に、シード膜上のレジストパターン19が除去され、さらにレジストパターン19の除去によって露出したシード膜が除去されることにより、図2(e)に示すように、表面保護膜17の表面から上端面までの高さがほぼ等しい機能バンパBFおよびダミーバンパBDが得られる。この実施形態によれ

ば、表面保護膜17を内部配線16よりも厚く積層し、この表面保護膜17の表面を平坦化した後に、機能パンプBFおよびダミーパンプBDのための選択メッキを行うことにより、ほぼ同じ高さを有する機能パンプBFおよびダミーパンプBDを得ることができる。したがって、子チップ2についても親チップ1と同様な方法で製造されていれば、親チップ1と子チップ2とを接合させたときに、親チップ1の機能パンプBFおよびダミーパンプBDに、それぞれ子チップ2の機能パンプBFおよびダミーパンプBDを良好に接合させることができる。これにより、親チップ1と子チップ2とを確実に電気接続することができるうえ、親チップ1および子チップ2に生じる応力を良好に緩和することができる。

【0023】また、表面保護膜17の表面が平坦化されているから、フォトリソグラフィ技術によるレジストパターン19のパターニングを良好に行うことができ、これにより、機能パンプBFおよびダミーパンプBDを所望の位置に精度良く形成することができる。なお、この実施形態では、表面保護膜17の表面を平坦化処理により平坦化しているが、たとえば、高密度プラズマCVD (Chemical Vapor Deposition) 法により表面保護膜17の材料を堆積させることにより、ほぼ平坦な表面を有する表面保護膜17が層間絶縁膜15上に形成されてもよい。

【0024】図3は、この発明の第2の実施形態に係る半導体チップの要部の構成および製造工程を示す断面図である。なお、この図3において、図2の各部に対応する部分には、図2の場合と同一の参照符号を付して示すこととし、以下では、第1の実施形態との相違点を中心に説明する。この第2の実施形態に係る半導体チップ4は、たとえば、上述した第1の実施形態の親チップ1に代えて用いることができるものであり、表面保護膜17上に、内部配線16に接続された電気接続部としての表面配線41とダミー接続部としてのダミーパンプBDとが設けられている。そして、この実施形態では、表面保護膜17上に設けられた表面配線41およびダミーパンプBDに、それぞれ子チップ2の機能パンプBFおよびダミーパンプBDを接合させることによって、この半導体チップ4と子チップ2とのチップ・オン・チップ接合が達成される。

【0025】表面配線41は、ダミーパンプBDと同じ材料で構成されており、その製造工程においては、ダミーパンプBDと同時に形成される。すなわち、図3(a)に示すように、内部配線16が施された層間絶縁膜15上に表面保護膜17が積層された後、CMP (Chemical Mechanical Polishing : 化学的機械的研磨法) 処理によって、表面保護膜17の表面が平坦化される。このCMP処理は、図3(b)に示すように、内部配線16の表面(上面)のほぼ全域が露出し、さらに露出した内部配線16の表面が平坦になるまで続けられる。これによ

り、内部配線16の表面と表面保護膜17の表面とはほぼ面一になる。

【0026】その後、平坦化された内部配線16および表面保護膜17の表面上にシード膜(図示せず)が形成され、このシード膜上の内部配線16に対向する領域およびダミーパンプBDを形成すべき領域以外の部分に、図3(c)に示すように、フォトリソグラフィ技術によってレジストパターン19が形成された後、表面配線41およびダミーパンプBDの材料を用いたメッキが行われる。

【0027】これにより、内部配線16に対向する領域およびダミーパンプBDを形成すべき領域上に、ほぼ同じ高さにメッキ材料が堆積する。したがって、このメッキ終了後に、シード膜上のレジストパターン19を除去し、さらにレジストパターン19の除去によって露出したシード膜を除去することにより、図3(d)に示すように、ほぼ同じ高さを有する表面配線41およびダミーパンプBDを得ることができる。

【0028】この実施形態によれば、表面保護膜17を研磨することにより内部配線16を露出させ、さらに露出した内部配線16の表面と表面保護膜17の表面とがほぼ面一にされた後に、表面配線41およびダミーパンプBDのための選択メッキが行われる。これにより、ほぼ同じ高さHを有する表面配線41およびダミーパンプBDを得ることができ、上述した第1の実施形態と同様な効果を得ることができる。

【0029】また、内部配線16の表面と表面保護膜17との表面がほぼ面一になっているから、表面配線41の上面に内部配線16と表面保護膜17との段差に起因した凹凸(図2(e)参照)を生じることがなく、表面配線41の上面を平坦に形成することができる。これにより、表面配線41と子チップ2の機能パンプBFとの接合をより良好に行わせることができる。

【0030】図4は、この発明のさらに他の実施形態に係る半導体チップの要部の構成および製造工程を示す断面図である。なお、この図4において、図2の各部に対応する部分には、図2の場合と同一の参照符号を付して示すこととし、以下では、第1の実施形態との相違点を中心に説明する。この第3の実施形態に係る半導体チップ5は、たとえば、上述した第1の実施形態の親チップ1に代えて用いることができるものであり、内部配線16に接続された電気接続部としての機能パッド51と内部回路から絶縁されたダミー接続部としてのダミーパッド52とが、表面保護膜17に埋め込まれた状態に設けられている。そして、この第3の実施形態では、表面保護膜17上に設けられた機能パッド51およびダミーパッド52に、それぞれ子チップ2の機能パンプBFおよびダミーパンプBDを接合させることによって、この半導体チップ5と子チップ2とのチップ・オン・チップ接合が達成される。

【0031】機能パッド51とダミーパッド52とは、耐酸化性を有する同一金属（たとえば金、プラチナ、銀、パラジウムまたはイリジウムなど）で構成されており、製造工程においては同時に形成される。機能パッド51およびダミーパッド52の形成時には、まず、図4(a)に示すように、内部配線16が配設された層間絶縁膜15上に、たとえば窒化シリコンで構成される表面保護膜17が積層される。この表面保護膜17の膜厚は、内部配線16の厚みよりも大きく設定されている。

【0032】次に、図4(b)に示すように、HDP処理が行われることにより、表面保護膜17の表面が平坦化される。その後、図4(c)に示すように、フォトリソグラフィ技術により、表面保護膜17において内部配線16に対向する領域およびダミーパッド52を形成すべき領域に、それぞれ内部配線16の表面の一部を露出させるための開口部18および凹部53が形成される。

【0033】つづいて、開口部18および凹部53が形成された表面保護膜17上にシード膜（図示せず）が形成された後、このシード膜の表面に、機能パッド51およびダミーパッド52の材料を用いた電気メッキが施される。この電気メッキは、図4(d)に示すように、開口部18および凹部53内がメッキ材料で満たされるまで続けられ、これにより、表面保護膜17上には、開口部18および凹部53の深さよりも大きい膜厚を有する金属膜54が形成される。

【0034】その後、CMP処理を行うことにより、表面保護膜17上に形成された金属膜54が化学的および物理的に研磨される。そして、図4(e)に示すように、開口部18および凹部53外の金属膜54がすべて除去されて、表面保護膜17の表面17aが露出し、この表面17aと開口部18および凹部53内に堆積したメッキ材料（金属膜54）の表面とがほぼ面一になると、このCMP処理が終了される。これにより、表面保護膜17の開口部18および凹部53内に、それぞれ、表面保護膜17の表面とほぼ面一な表面を有する機能パッド51およびダミーパッド52を得ることができる。

【0035】したがって、この親チップ1に機能パンプBFおよびダミーパンプBDを有する子チップを接合させたときに、機能パッド51およびダミーパッド52に、それぞれ子チップの機能パンプBFおよびダミーパンプBDを良好に接合させることができる。これにより、親チップ1と子チップとを確実に電気接続することができるうえ、親チップ1および子チップに生じる応力を良好に緩和することができる。

【0036】以上、この発明の3つの実施形態について説明したが、この発明は、上述の各実施形態に限定されるものではない。たとえば、この発明は、図5または図6に示すように、複数の内部配線61、62が層間絶縁膜63を介して上下に積層された状態に配設された、いわゆる多層配線構造の半導体チップにも適用することが

できる。この場合、最表面に積層された表面保護膜64のみが平坦化されてもよいし、表面保護膜64と表面保護膜64の下方に設けられた層間絶縁膜63との両方が平坦化されてもよい。

【0037】また、第1の実施形態では、親チップの機能パンプに子チップの機能パンプを接合させることにより、親チップと子チップとの電気接続が達成されるとしたが、たとえば、親チップまたは子チップの表面保護膜上に、表面保護膜に形成された開口部を介して内部配線に接続された電気接続部としての表面配線を配設し、この表面配線と子チップまたは親チップの機能パンプとを接合することにより、親チップと子チップとの電気接続が達成されてもよい。また、親チップおよび子チップの両方に上記表面配線を配設し、表面配線同士を接合することにより、親チップと子チップとの電気接続が達成されてもよい。

【0038】なお、表面保護膜上に電気接続部としての表面配線を設ける場合には、内部配線が配設された層間絶縁膜上に、内部配線の厚みよりも大きい膜厚を有する表面保護膜を形成して、この表面保護膜の表面を平坦化した後、平坦化された表面保護膜に開口部を形成する。そして、開口部が形成された表面保護膜の表面に、たとえばスパッタ法によってシード膜を蒸着させ、このシード膜上の開口部に対向する部分および表面配線を形成すべき部分に選択的にメッキを行うことにより、開口部から表面保護膜上に引き出された表面配線を形成することが好ましい。これにより、以下のような効果を奏することができる。

【0039】図7に示すように、内部配線71、72、73上に形成された表面保護膜74がマッシュルーム状の断面を有している場合、表面保護膜74の表面にスパッタ法でシード膜を付着させ、このシード膜上に選択メッキを行うことにより表面配線75を形成すると、スパッタ法では内部配線71、72間および内部配線72、73間の表面保護膜74上にシード膜が上手く付着しないために、この部分でメッキが成長せず、表面保護膜74と表面配線75との間に隙間を生じるボイドや、表面配線75の断線を生じるおそれがある。これに対し、表面保護膜を平坦化してから表面配線を形成する場合には、表面保護膜の表面全域にシード膜を良好に蒸着させることができるから、上記のようなボイドや表面配線の断線を生じるおそれがない。

【0040】さらに、上述の第2および第3の実施形態では、それぞれの実施形態に係る半導体チップの製造方法が親チップの製造に適用された場合を例にとったが、第2および第3の実施形態に係る製造方法は、子チップの製造に適用することも可能である。また、上述の実施形態では、親チップおよび子チップは、いずれもシリコンからなるチップであるとしたが、シリコンの他にも、ガリウム砒素半導体やゲルマニウム半導体などの他の任

意の半導体材料を用いた半導体チップであってもよい。  
この場合に、親チップの半導体材料と子チップの半導体材料は、同じでもよいし異なってもよい。

【0041】さらに、上述の実施形態では、チップ・オン・チップ構造を取り上げたが、この発明に係る半導体チップは、半導体チップの表面をプリント配線基板に対向させて接合するフリップ・チップ・ボンディング構造にも適用できる。その他、特許請求の範囲に記載された事項の範囲内で、種々の設計変更を施すことが可能である。

【図面の簡単な説明】

【図１】この発明の第１の実施形態に係る半導体チップが適用された半導体装置の概略構成を示す図解的な断面図である。

【図2】親チップの要部の構成および製造工程を示す断面図である。

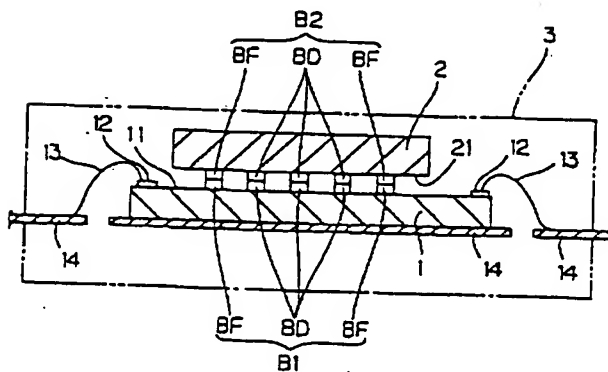
【図 3】この発明の第 2 の実施形態に係る半導体チップの要部の構成および製造工程を示す断面図である。

【図 4】この発明の第 3 の実施形態に係る半導体チップの要部の構成および製造工程を示す断面図である。

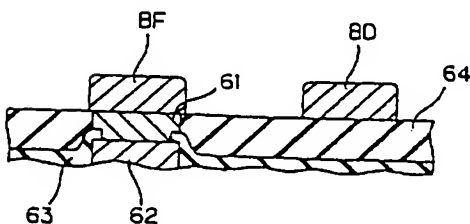
【図 5】この発明が適用された多層配線構造の半導体チップの構成例について説明するための断面図である。

【図6】この発明が適用された多層配線構造の半導体チップの他の構成例について説明するための断面図である。

【 1】



【☒ 5】



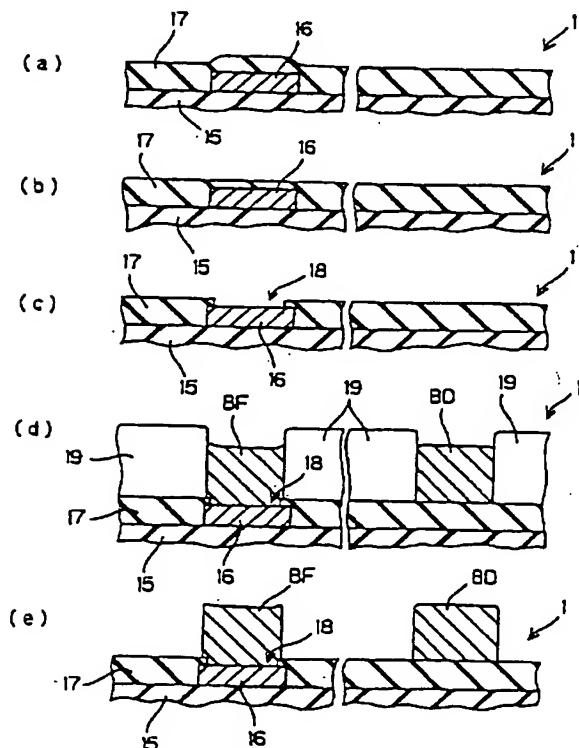
【図 7】第 1 の実施形態に係る半導体チップの製造方法が表面配線の形成に適用された場合の効果について説明するための断面図である。

【図8】ダミーバンプを機能バンプと同一工程で形成した場合に生じる問題点を説明するための断面図である。

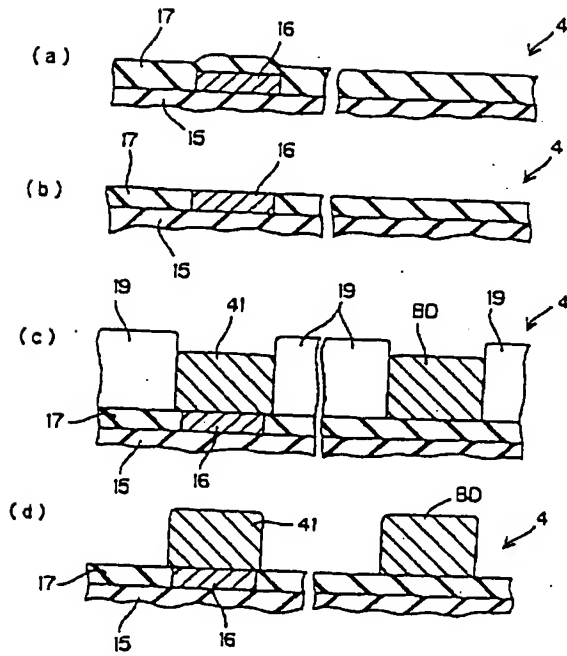
【符号の説明】

- |    |           |                  |
|----|-----------|------------------|
|    | 1         | 親チップ (半導体チップ)    |
|    | 1 1       | 表面 (固体表面に対向する表面) |
|    | 1 6       | 内部配線             |
| 10 | 1 7       | 表面保護膜            |
|    | 1 8       | 開口部              |
|    | B F       | 機能バンク (電気接続部)    |
|    | B D       | ダミーバンク (ダミー接続部)  |
|    | 2         | 子チップ (固体)        |
|    | 2 1       | 表面 (固体表面)        |
|    | 4         | 半導体チップ           |
|    | 4 1       | 表面配線 (電気接続部)     |
|    | 5         | 半導体チップ           |
|    | 5 1       | 機能パッド (電気接続部)    |
| 20 | 5 2       | ダミーパッド (ダミー接続部)  |
|    | 5 3       | 凹部               |
|    | 5 4       | 金属膜              |
|    | 6 1 , 6 2 | 内部配線 (電気接続部)     |
|    | 6 4       | 表面保護膜            |
|    | 6 5       | 表面配線 (電気接続部)     |

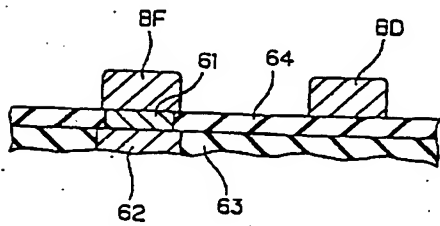
【図2】



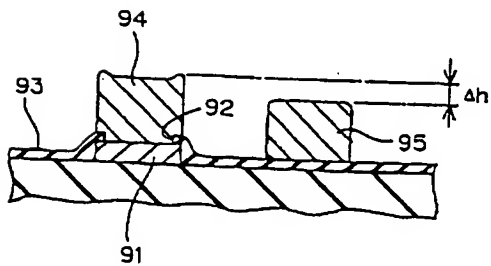
【図3】



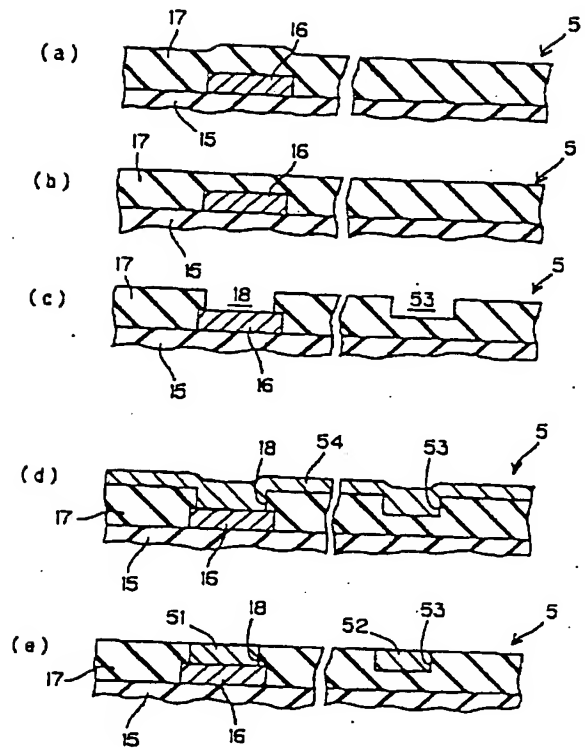
【図6】



【図8】



【図4】



【図7】

